Centre d'Etudes Doctorales : Sciences et Techniques et Sciences Médicales

Avis de Soutenance

THESE DE DOCTORAT

Présentée par

Monsieur MHAMMED BENHAYOUN

Discipline : Génie Electrique
Spécialité : Systèmes embarqués et Télécommunications

Sujet de la thèse

Conception optimisation et implémentation parallèle et temps réel des codes LDPC sur des plateformes embarquées

Formation Doctorale " Sciences de l'Ingénieur, Sciences Physiques, Mathématiques et informatique"

Thèse présentée et soutenue **le samedi 09 décembre 2023 à 10h** au Centre de Conférence à la Faculté des Sciences et Techniques de Fès, devant le jury composé de :

Nom et Prénom	Titre	Etablissement	
Najia ES-SBAI	PES	Faculté des Sciences et Techniques de Fès	Président
Abdelaziz AHAITOUF	PES	Faculté Polydisciplinaire de Taza	Rapporteur
Mounia ZAIM	PH	Ecole Supérieure de Technologie de Salé	Rapporteur
Hiba CHOUGRAD	PH	Ecole Nationale des Sciences Appliquées de Fès	Rapporteur
Abdessalam AIT MADI	PH	Ecole Nationale des Sciences Appliquées de Kenitra	Examinateur
Malika ALAMI MARKTANI	PH	Ecole Nationale des Sciences Appliquées de Fès	Examinateur
Ali AHAITOUF	PES	Faculté des Sciences et Techniques de Fès	Directeur de Thèse
Anass MANSOURI	PES	Ecole Nationale des Sciences Appliquées de Fès	Co-Directeur de Thèse

Laboratoire de recherche : Systèmes Intelligents, Géo-ressources et Energie Renouvelables
Etablissement : Faculté des Sciences et Techniques de Fès

Résumé de la thèse

Les codes LDPC (Low-Density Parity-Check) sont des codes correcteurs d'erreurs qui sont largement utilisés dans les systèmes de communication numériques actuelles. La complexité de leur algorithme itératif de référence LLR-BP (Log Likelihood Ratio Belief Propagation) influence significativement la latence de décodage. Afin de réduire au maximum cette latence, nous avons proposé dans cette thèse une nouvelle implémentation logicielle sur des systèmes embraqués parallèles de l'algorithme de référence et de ces algorithmes dérivés notamment le MS (Min Sum), le NMSA (Normalised MS).

La première contribution est l'étude et l'analyse des performances en termes de correction d'erreurs et en termes de complexité calculatoire des différents algorithmes de décodage LDPC. Cette étude est réalisée sur un environnement de simulation et de test qu'on a développé afin de valider les algorithmes de décodage LDPC, de simuler les différents paramètres des codes LDPC et de tracer le comportement de l'algorithme dans le processeur et la mémoire cache.

La deuxième contribution consiste en la proposition d'une méthode d'ordonnancement optimisé des algorithmes de décodage LDPC permettant d'accélérer la correction d'erreur et d'assurer un traitement parallèle pour profiter des plateformes multiprocesseurs.

La troisième contribution consiste en l'optimisation de la structure de données échangées lors du procédé de décodage LDPC et l'optimisation de l'implémentation sur une plateforme embarquée à base de processeur quadricœurs ARM ce qui a permet de réduire la latence à moins de 1ms avec un taux d'erreur binaire de moins de 10-9. Les travaux proposés, dans le cadre de cette thèse, peuvent être intégrés dans les communications ultra fiables à petites latence (Ultra relaible low latency communications URLLC) utilisé pour répondre aux exigences de communication des applications telles que la conduite autonome, la télé-chirurgie et l'industrie 4.0.

Mots clés : Décodeurs LDPC, URLLC, LLR-BP, MSA, NMSA