



AVIS DE SOUTENANCE THESE DE DOCTORAT

Présentée par

Mr: ABDESSAMAD EL ANSARI

Spécialité : Systèmes Embarqués

Sujet de la thèse : Etude, conception et implémentation d'un système embarqué temps réel de compression vidéo haute définition sur une architecture dédiée multi-composants.

Formation Doctorale : Sciences de l'ingénieur Sciences Physiques, Mathématiques et Informatique.

Thèse présentée et soutenue le samedi 23 février 2019 à 09h30 à l'Amphi Al Khawarizmi devant le jury composé de :

| Nom Prénom | Titre | Etablissement | |
|----------------------|-------|--|--------------------|
| Mohammed JORIO | PES | Faculté des Sciences et Techniques de Fès | Président |
| Lhoussine BAHATTI | PES | Ecole Normale Supérieure de l'Enseignement Technique de Mohammedia | Rapporteur |
| Adnane ADDAIM | PES | Ecole Nationale des Sciences Appliquées de Kenitra | Rapporteur |
| Saad BENNANI DOSSE | PES | Ecole Nationale des Sciences Appliquées de Fès | Rapporteur |
| Anas MANSOURI | PH | Ecole Nationale des Sciences Appliquées de Fès | Examineur |
| Hassane EL MOUSSAOUI | PH | Faculté des Sciences et Techniques de Fès | Examineur |
| Ali AHAITOUF | PES | Faculté des Sciences et Techniques de Fès | Directeur de thèse |

Laboratoire d'accueil : Laboratoire Energies Renouvelables et Systèmes Intelligents.

Etablissement : Faculté des Sciences et Techniques de Fès.



Titre de la thèse : Etude, conception et implémentation d'un système embarqué temps réel de compression vidéo haute définition sur une architecture dédiée multi-composants.

Nom du candidat : Abdessamad EL ANSARI

Spécialité : Systèmes Embarqués

Résumé de la thèse

Le codage vidéo à haute efficacité (HEVC) est le dernier standard de compression vidéo, qui est appliqué dans de nombreux domaines multimédia. Actuellement, il est principalement utilisé pour l'ultra haute résolution, ce qui conduit à des exigences de calcul élevées du point de vue du temps d'exécution, de l'énergie et de la consommation de la mémoire. Plusieurs travaux ont été entrepris pour optimiser le codec HEVC de façon logicielle et/ou matériel afin de l'adopter dans les systèmes embarqués. Une implémentation détaillée des derniers encodeurs et décodeurs vidéo HEVC sur les processeurs embarqués TMS320C6678 et ARM du processeur de signal numérique (DSP) est proposée dans ce mémoire de thèse. Cette implémentation inclut une étude de l'analyse de complexité en particulier le profilage. Une optimisation basée sur la technologie VLIW (Very Long Instruction Word) et Neon est présentée. Les résultats expérimentaux ainsi mis en évidence sur un seul noyau atteignent une vitesse plus rapide de 4 fois celle mesurée sans optimisation. Pour l'implémentation matériel, trois implémentations sur la FPGA et ASIC sont proposées. Une nouvelle architecture VLSI efficace pour la transformation de cosinus discret entier (DCT) incluse dans le dernier nouveau standard HEVC. Ensuite une architecture matérielle parallèle pour le mode de décision correspondant à la somme absolue de la différence (SAD) de l'estimation du mouvement est proposée. L'estimateur de mouvement étant l'algorithme le plus critique dans la récente norme de codage vidéo HEVC. Enfin, un nouvel accélérateur matériel parallèle et très efficace pour le bloc de prévision intra est validée. Ces trois architectures permettent d'atteindre les exigences temps réel pour la résolution 4K (30 frames/s). De plus ce critère temps réel est validé pour le bloc DCT avec la résolution 8K.

Mots-clés : HEVC, Embedded system, FPGA, DSP and ARM